

## IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: CHI-SHEN LEE ET. AL.

SERIAL No.: 10/673,325

FILED: September 30, 2003

FOR: Method Of Fabricating Thin Film Transistor TFT  
Array

GROUP ART UNIT: 2812

EXAMINER: Unknown

ATTY. REFERENCE: LEEC3076/EM

## COMMISSIONER OF PATENTS

P.O. Box 1450

Alexandria, VA 22313-1450

Sir:

The below identified communication(s) or document(s) is(are) submitted in the above application or proceeding:

☒ Priority Document - Taiwanese Application No. 092125528☒ Please debit or credit Deposit Account Number 02-0200 for any deficiency or surplus in connection with this communication.☐ Small Entity Status is claimed.☐

23364

CUSTOMER NUMBER

BACON &amp; THOMAS, PLLC

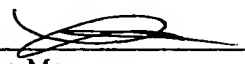
625 Slaters Lane- Fourth Floor

Alexandria, Virginia 22314

(703) 683-0500

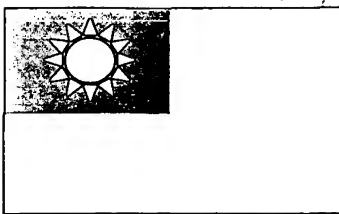
Date: February 11, 2004

Respectfully submitted,

  
Eugene Mar

Attorney for Applicant

Registration Number: 25,893



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請 日：西元 2003 年 09 月 16 日  
Application Date

申請 案 號：092125528  
Application No.

申請 人：財團法人工業技術研究院  
Applicant(s)

局 長

Director General

蔡 練 生

發文日期：西元 2003 年 10 月 23 日  
Issue Date

發文字號：09221077540  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	薄膜電晶體陣列製作方法
	英 文	Method of Fabricating Thin Film Transistor (TFT) Array
二、 發明人 (共4人)	姓 名 (中文)	1. 李啟聖 2. 陳政忠
	姓 名 (英文)	1. CHI-SHEN LEE 2. CHENG-CHUNG CHEN
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 新竹市高峰路190巷2號4樓 2. 宜蘭縣礁溪鄉德陽村奇立丹路195巷29號
	住居所 (英 文)	1. 4F1., No. 2, Lane 190, Gaufeng Rd., Hsinchu City, Taiwan 300, R.O.C. 2. No. 29, Lane 195, Cilidan Rd., Jiaosi Township, Yilan County 262,
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 財團法人工業技術研究院
	名稱或 姓 名 (英文)	1. Industrial Technology Research Institute
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹縣竹東鎮中興路四段195號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. NO.195, Sec. 4, Chung Hsing Rd., Chutung Hsinchu, Taiwan 310, R.O.C.
	代表人 (中文)	1. 翁政義
	代表人 (英文)	1. CHENG-I WENG

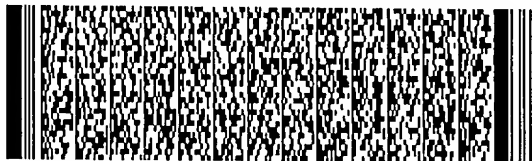


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共4人)	姓 名 (中文)	3. 陳麒麟 4. 許財源
	姓 名 (英文)	3. CHI-LIN CHEN 4. CHAI-YUAN SHEU
	國 籍 (中英文)	3. 中華民國 TW 4. 中華民國 TW
	住居所 (中 文)	3. 新竹市明湖路648巷79號4樓 4. 台南縣官田鄉渡頭村123號
	住居所 (英 文)	3. 4F., No. 79, Lane 648, Minghu Rd., Hsinchu City 300, Taiwan (R.O.C.) 4. No. 123, Dutou Village, Guantian Township, Tainan County 720,
三、 申請人 (共1人)	名稱或 姓 名 (中文)	Taiwan (R.O.C.)
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：薄膜電晶體陣列製作方法)

本發明關於一種薄膜電晶體陣列製作方法，其係利用化學鍍法的氧化還原特性，進行鍍浴之金屬離子與已利用強還原能力材料製作之欲鍍區圖形進行離子置換，完成該薄膜電晶體液晶顯示器之金屬導線佈局，藉此克服部分金屬導線不易蝕刻的困難，並達到自動對準的目的；其中該離子置換方式係運用氧化還原反應的能力來完成置換，以解決傳統技術中必須利用微影蝕刻製程完成金屬導線佈局的限制。

(一)、本案代表圖為：第一A~L圖

(二)、本案代表圖之元件代表符號簡單說明：

11 閘極；12 接觸窗；13 定義源極與汲極；

14 形成金屬導線；15 形成透明導電層；

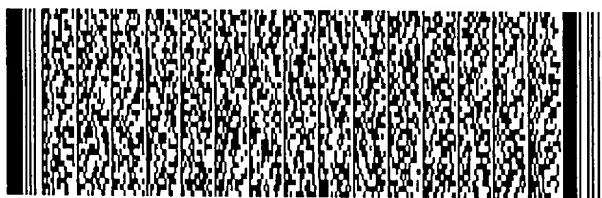
17 形成保護層；100 基板；115 非晶矽種子層；

125 置換金屬；116 閘極導線；20 儲存電容；

205、206 介電層；215、216 非晶矽層；

六、英文發明摘要 (發明名稱：Method of Fabricating Thin Film Transistor (TFT) Array)

A method of fabricating thin film transistor (TFT) array discloses ions of desired-plated metal and the graphs of the desired-plated area are made by oxidation-reduction materials processes ion replacement for implementing the metal wiring layout of the TFT-LCDs. This, therefore, can overcome the problem of uneasy metal etching thereto achieves the purpose of an automatic alignment. The method uses

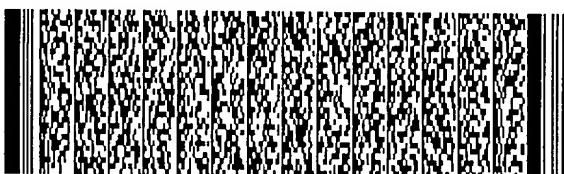


四、中文發明摘要 (發明名稱：薄膜電晶體陣列製作方法)

225、226 矽摻雜層；227 導線通道；  
30 金屬導線接觸層；  
305、505、605、710 光阻；  
405、406 透明導電層；407 矽摻雜種子層；  
408 第二金屬導線；701、706 元件保護層。

六、英文發明摘要 (發明名稱：Method of Fabricating Thin Film Transistor (TFT) Array)

the ability of the oxidation-reduction reaction to implement the replacement for alternating the lithography etching process in the metal wiring layout as presented in the traditional technique.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



## 五、發明說明 (1)

### 【技術領域】

本發明為一種薄膜電晶體陣列製作方法，其利用氧化還原的原理，進行金屬導線製作，完成該薄膜電晶體液晶顯示器之金屬導線佈局。

### 【先前技術】

由於科技水準不斷地提升，人們對生活品質也不斷地提高要求，在影像部分，以往單色顯示螢幕業已不敷現在的需求，即使是彩色的顯示螢幕，也由以往陰極映像管逐漸轉變到平板電視或液晶的顯示螢幕，甚或有昂貴的電漿電視問世。

其中，在液晶顯示器部份，為提升產品的競爭力，不斷有新的顯示器技術被研發出來，其中包括有薄膜電晶體液晶顯示器(Thin Film Transistor Liquid Crystal Display, TFT LCD)，而由於傳統習用之薄膜電晶體液晶顯示器在製程部分，因其於大面積的應用上，將由於電阻電容(Resistor Capacitor, RC)所造成之延遲現象，而影響影像顯示的結果。

另外，由於傳統金屬導線的習用製程技術係運用較為昂貴之物理氣相沉積法(Physical Vapor Deposition, PVD)，所製作而得之薄膜電晶體液晶顯示器在成本上不但較為昂貴，且對於具高擴散性的低電阻金屬(如銅…等)的後續薄膜處理製程(如蝕刻、高溫退火…等)較為麻煩，且容易導致成品元件的缺陷，因此，本發明技術之提出，係為解決習用技術所產生之缺點。





## 五、發明說明 (2)

### 【發明內容】

本發明為一種薄膜電晶體陣列製作方法，係利用氧化還原的原理，進行金屬導線製作，完成該薄膜電晶體液晶顯示器之金屬導線佈局，減少高擴散性金屬導線暴露在光罩製程的次數，進而降低金屬導線因為多次光罩製程造成成品元件的缺陷。

本發明技術主要係以非晶矽(a-Si)層當作種子層(seed layer)，再利用對矽具有強氧化能力之低阻抗金屬，以化學鍍法完成液晶顯示器元件之金屬導線佈局，藉此取代傳統必須以微影蝕刻進行金屬導線佈局的限制，進一步提高製造薄膜電晶體液晶顯示器元件之金屬導電材料製程的選擇性，降低電阻電容(Resistor Capacitor, RC)所形成延遲效應。

### 【實施方式】

煩請參閱第一A圖係為本發明技術之實施例步驟一，首先，利用光罩在一基板100定義閘極金屬導線位置，接著在該位置上形成一非晶矽種子層115，然後利用化學鍍法的氧化還原特性，進行鍍浴之金屬離子與已利用強還原能力材料製作之欲鍍區圖形進行離子置換，形成閘極11，其中該鍍浴之金屬離子可為銅(Cu)、鋁(Al)、銀(Ag)、鎳(Ni)、鈦(Ti)、鎢(W)、鉬(Mo)等金屬離子，而該已利用強還原能力材料製作之欲鍍區圖形係為該非晶矽種子層115，之後進行介電層205、非晶矽層215、矽摻雜層225等沉積，請參考第一B圖係為本發明實施例之製程步驟二，其中非晶矽層215(a-Si layer)可作為導電通道，該矽摻雜層(N+Si

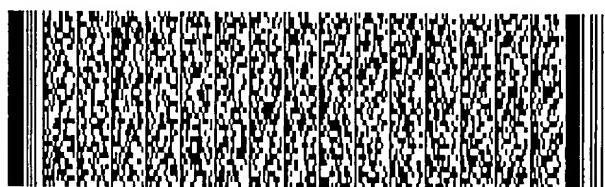


### 五、發明說明 (3)

layer)225可作為歐姆接觸層；上述沈積形成介電層205、晶矽層215、矽摻雜層225等層之沉積方法可包含物理氣相沉積(Physical Vapor Deposition, PVD)、低壓化學氣相沉積(Low-Pressure Chemical Vapor Deposition, LPCVD)或電漿輔助化學氣相沉積(Plasma Enhanced Chemical Vapor Deposition, PECVD)等。

接續上述步驟，完成矽摻雜層225的沉積，請參考第一C圖係為本發明實施例之製程步驟三，定義接觸窗12，以複數個光阻305遮蔽部分矽摻雜層225進入光罩製程，執行微影蝕刻將未被光阻305遮蔽的地方去除，形成複數個接觸窗12；接著請參考第一D圖係為本發明實施例之製程步驟四，進行光阻305剝離，完成接觸窗，請再參考第一E圖係為本發明實施例之製程步驟五，沈積透明導電層405，該透明導電層同樣可利用上述之沈積法進行沈積，而該透明導電層的材料可為銦錫氧化物(ITO)或銦鋅氧化物(IZO)等，在該透明導電層上方可定義第二金屬導線層。

接續上述步驟，請參考第一F圖係為本發明實施例之製程步驟六，首先形成光阻505，定義出第二金屬導線位置，並可同時定義出源極和汲極，然後進行光罩製程，執行微影蝕刻技術，將部分透明導電層去除，露出部分矽摻雜層作為矽摻雜種子層407，利用該矽摻雜種子層407具有與導線金屬材料可互相反應的能力來完成置換，其中該導線金屬與該矽摻雜種子層407的置換反應可為同性質間金屬取代反應或加成反應，請參考第一G圖係為本發明實施例之製程步驟七，

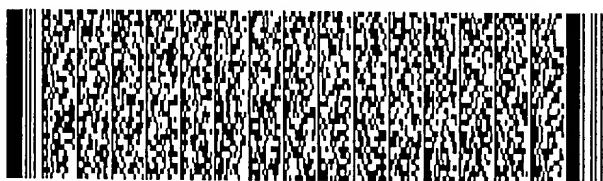


#### 五、發明說明 (4)

利用兩物質間化學電位差進行反應，使得有露出該矽摻雜種子層407的地方長出第二金屬導線408，而被殘餘透明導電層406覆蓋不會長出第二金屬導線408，進行自我對準，其中，該化學反應可利用電鍍或無電鍍的方式進行，之後，請參考第一H圖係為本發明實施例之製程步驟八，完成第二金屬導線408佈局。

接著再進行下一步驟，請參考第一I圖係為本發明實施例之製程步驟九，定義導線通道，以光阻605遮蔽非導線通道的位置，其中該光阻可為正型光阻，在進入光罩製程後，執行微影蝕刻，形成導線通道227，請參考第一J圖係為本發明實施例之製程步驟十，完成導線通道227，最後形成保護層，請參考第一K圖係為本發明實施例之製程步驟十一，利用上述之沈積法沈積一保護層700，再將第四光阻710設置於元件上，將未被第四光阻710覆蓋之保護層700部分加以移除，而形成元件保護層706，並接著將第四光阻710移除，請參考第一L圖係為本發明實施例之製程步驟十二，完成薄膜電晶體陣列元件之製作。

請參考第二圖係為可利用本發明技術製作之電路圖，以此電路圖說明，首先進行第一光罩，形成第一金屬導線11，並定義出閘極位置，其中閘極之導線金屬係利用置換方法長成，接著以第二光罩定義形成訊號線區域及接觸窗後沈積透明導電層14，之後進行第三光罩製程，定義出源極與汲極13，其中該導線金屬可以部分矽摻雜層為種子進行自我對準置換反應，再進入第四光罩製程，形成導線通道17，最後進

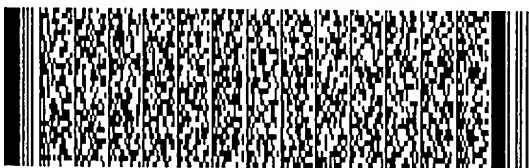


##### 五、發明說明 (5)

入第五道光罩製程，形成保護層15，而本發明技術提供之種薄膜電晶體陣列製作方法，特別是在開始形成閘極及在第三光罩製程中，利用化學鍍法的氧化還原特性，進行金屬導線製作，完成該薄膜電晶體液晶顯示器之金屬導線佈局，避免金屬導線多次暴露在光罩製程中，導致元件缺陷的產生。

綜上所述，充份顯示出本發明在目的及功效上均深富實施之進步性，極具產業之利用價值，且為目前市面上前所未見之新發明，完全符合發明專利之系統，爰依法提出申請。

唯以上所述者，僅為本發明之較佳實施例而已，當不能以之限定本發明所實施之範圍。即大凡依本發明申請專利範圍所作之均等變化與修飾，皆應仍屬於本發明專利涵蓋之範圍內，謹請貴審查委員明鑑，並祈惠准，是所至禱。



圖式簡單說明

【圖示簡單說明】

第一A~L圖係為本發明實施例之製程步驟中各製程結構示意圖；

第二圖係為可利用本發明技術製作之電路圖。

【符號說明】

- 11 閘極；
- 12 接觸窗；
- 13 定義源極與汲極；
- 14 形成金屬導線；
- 15 形成透明導電層；
- 17 形成保護層；
- 100 基板；
- 115 非晶矽種子層；
- 125 置換金屬；
- 116 閘極導線；
- 20 儲存電容；
- 205、206 介電層；
- 215、216 非晶矽層；
- 225、226 矽摻雜層；
- 227 導線通道；
- 30 金屬導線接觸層；
- 305、505、605、710 光阻；
- 405、406 透明導電層；



圖式簡單說明

407 矽 摻 雜 種 子 層 ；

408 第 二 金 屬 導 線 ；

701 、 706 元 件 保 護 層 。



## 六、申請專利範圍

### 1. 一種薄膜電晶體陣列製作方法，其步驟包括有：

形成閘極，係藉由一非晶矽種子以置換方式將第一導電金屬沈積在一基板上，定義出一薄膜電晶體陣列之閘極；

形成介電層、非晶矽層以及矽摻雜層，係依序覆蓋沈積，其中該介電層覆蓋於該閘極上方，該非晶矽層介於該介電層與該矽摻雜層之間；

定義接觸窗，係藉由一第二光罩定義出複數個接觸窗；沈積透明導電層，係將透明導電材料加以設置於該複數個接觸窗上；

定義源汲極，係藉由一第三光罩定義出該薄膜電晶體陣列之源極與汲極；

蝕刻通道，係藉由一第四光罩之覆蓋，於一元件接觸窗中蝕刻出一導電通道；

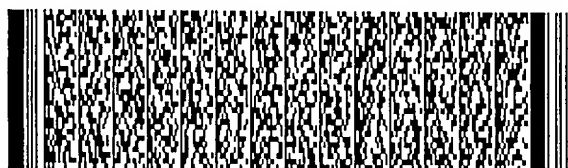
設置保護層，最後沈積一保護層，並於該保護層上設置一第四光罩，將未被第四光罩覆蓋之該保護層蝕刻，完成該薄膜電晶體陣列之製作。

### 2. 如申請專利範圍第1項所述之薄膜電晶體陣列製作方

法，其中所述之置換方式係為化學鍍法，利用對矽具有強氧化能力之低阻抗金屬，以化學鍍法進行氧化還原反應將該非晶矽種子定義的區域，置換為該第一導電金屬。

### 3. 如申請專利範圍第1項所述之薄膜電晶體陣列製作方

法，該定義閘極之步驟中，以沉積方式定義閘極之方式



#### 六、申請專利範圍

係採用物理氣相沉積(Physical Vapor Deposition, PVD)、低壓化學氣相沉積(Low-Pressure Chemical Vapor Deposition, LPCVD)或電漿輔助化學氣相沉積(Plasma Enhanced Chemical Deposition, PECVD)之方式完成之。

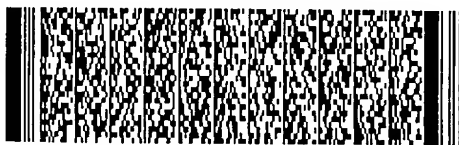
4. 如申請專利範圍第1項所述之薄膜電晶體陣列製作方法，該定義閘極之步驟中，以沉積方式定義閘極之方式所沉積於該閘極線之導電金屬係採用銅、鋁、銀之材料。
5. 如申請專利範圍第1項所述之薄膜電晶體陣列製作方法，其中所述之該形成介電層步驟中，可藉由連續沉積之方式所形成的介電層係採用氧化物之材料完成之。
6. 如申請專利範圍第1項所述之薄膜電晶體陣列製作方法，其中所述之該形成介電層之步驟中，係採用低壓化學氣相沉積或電漿輔助化學氣相沉積之方式完成之。
7. 如申請專利範圍第1項所述之薄膜電晶體陣列製作方法，其中所述之沉積透明導電層步驟中，藉由沉積之方式所形成之該透明導電電極層係採用銦錫氧化物(ITO)或銦鋅氧化物(IZO)之材料完成之。
8. 如申請專利範圍第1項所述之薄膜電晶體陣列製作方法，其中所述之定義源極與汲極步驟中，藉利用一第二導電金屬比矽具有強氧化能力之特性，以部分矽摻雜層作為一矽摻雜種子進行氧化還原反應，其中該矽摻雜種子被置換的部分定義為該源極與汲極。





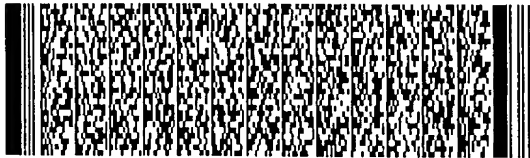
六、申請專利範圍

9. 如申請專利範圍第8項所述之薄膜電晶體陣列製作方法，該第二導電金屬係採用銅、鋁或銀之材料完成之。
10. 如申請專利範圍第1項所述之薄膜電晶體陣列製作方法，該第四光罩製程係使用正型光阻進行遮蔽。

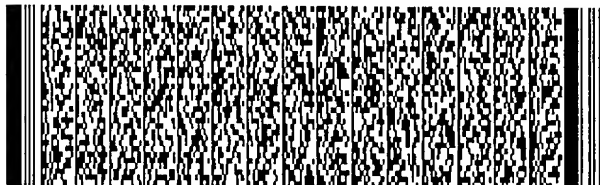




第 2/15 頁



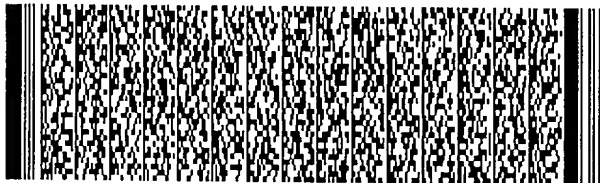
第 3/15 頁



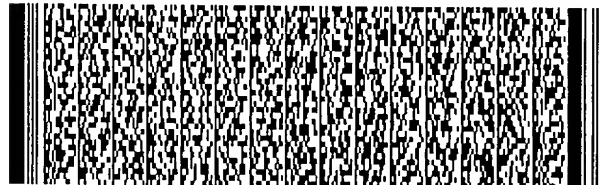
第 5/15 頁



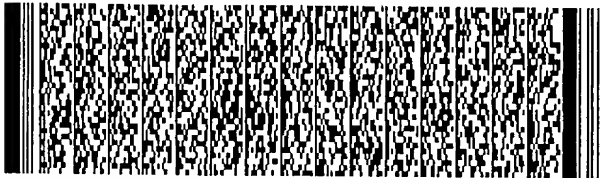
第 6/15 頁



第 7/15 頁



第 8/15 頁



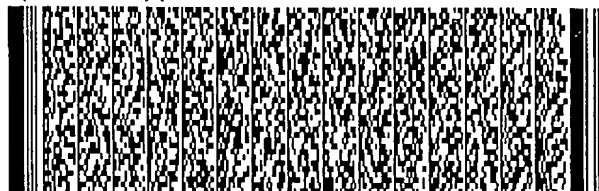
第 9/15 頁



第 1/15 頁



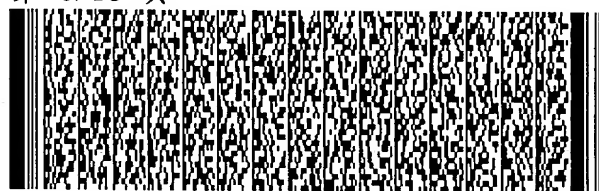
第 3/15 頁



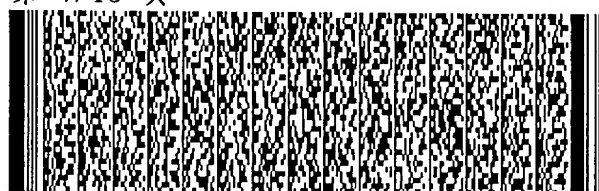
第 4/15 頁



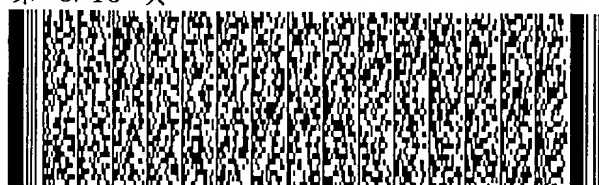
第 6/15 頁



第 7/15 頁



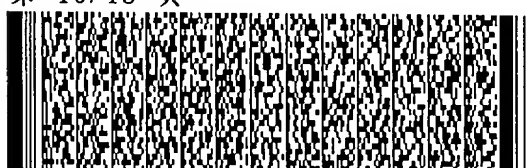
第 8/15 頁



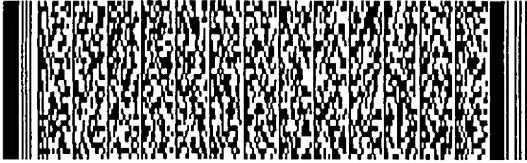
第 9/15 頁



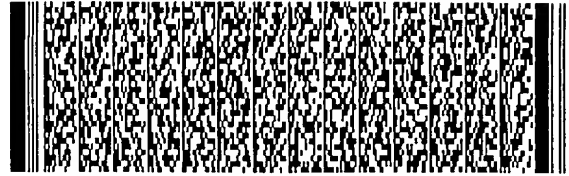
第 10/15 頁



第 10/15 頁



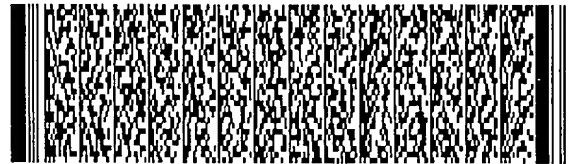
第 11/15 頁



第 12/15 頁



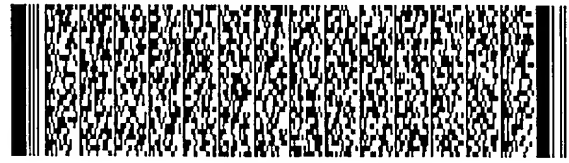
第 13/15 頁



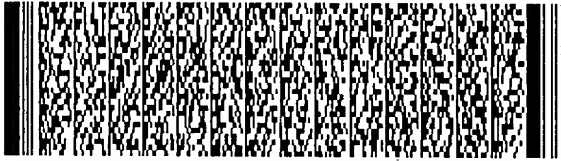
第 13/15 頁



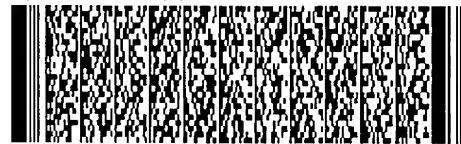
第 14/15 頁

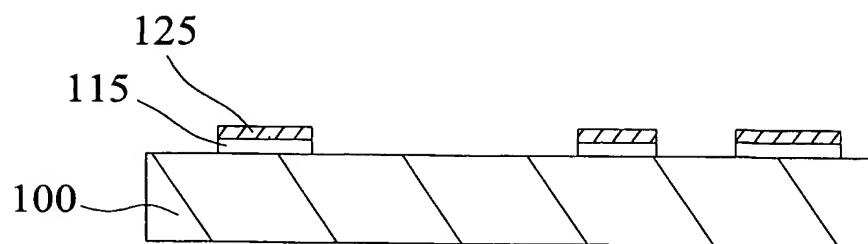


第 14/15 頁

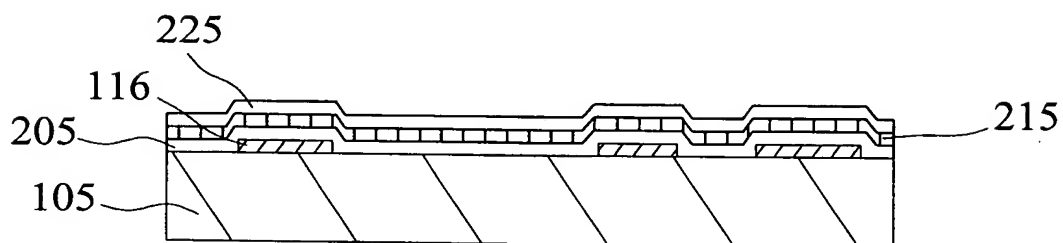


第 15/15 頁

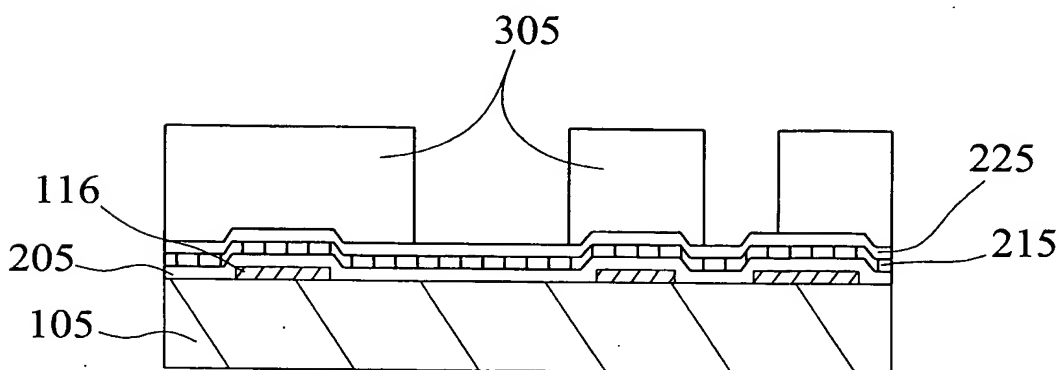




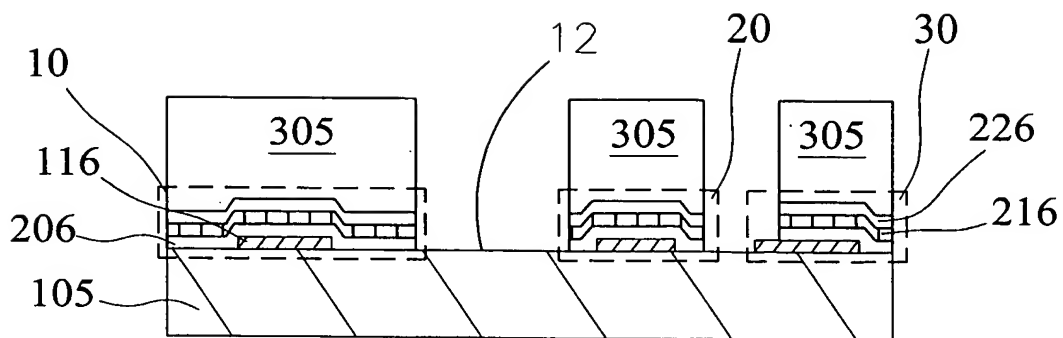
第一A圖



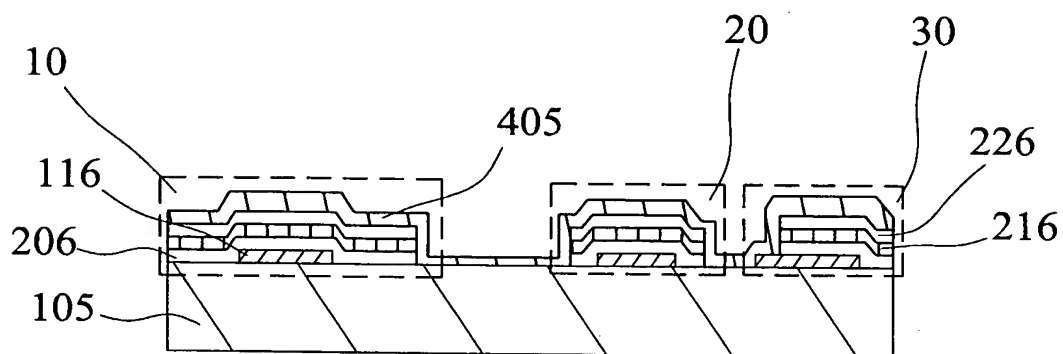
第一B圖



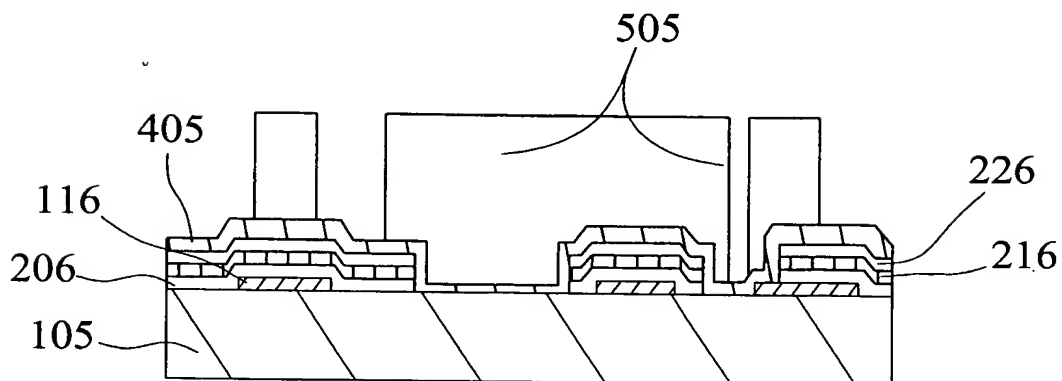
第一C圖



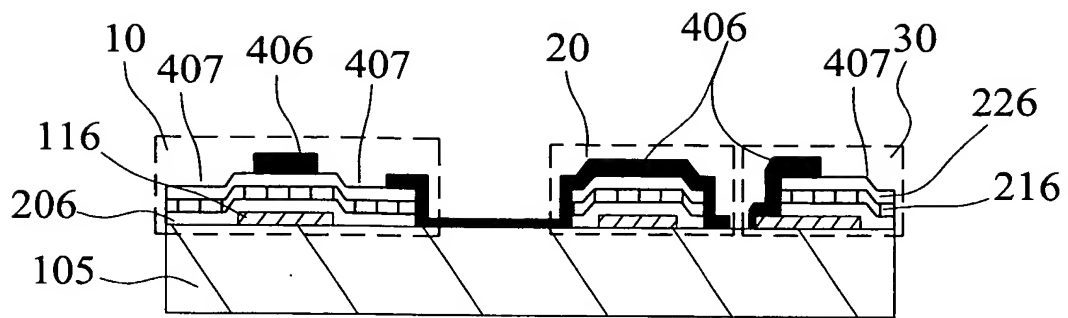
第一D圖



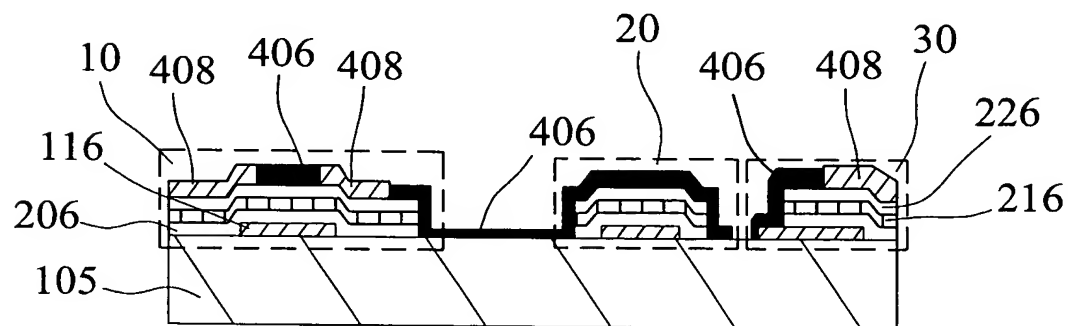
第一E圖



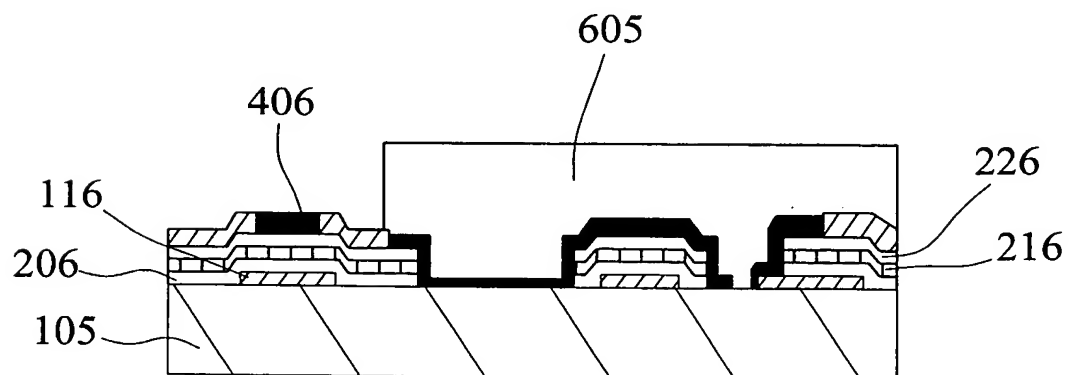
第一F圖



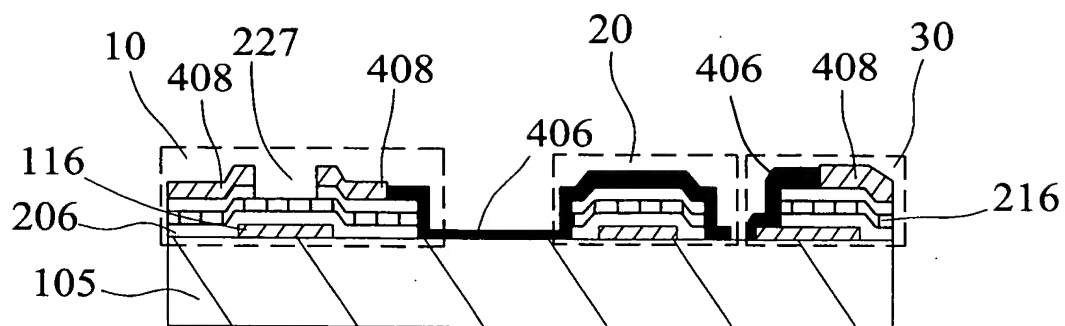
第一G圖



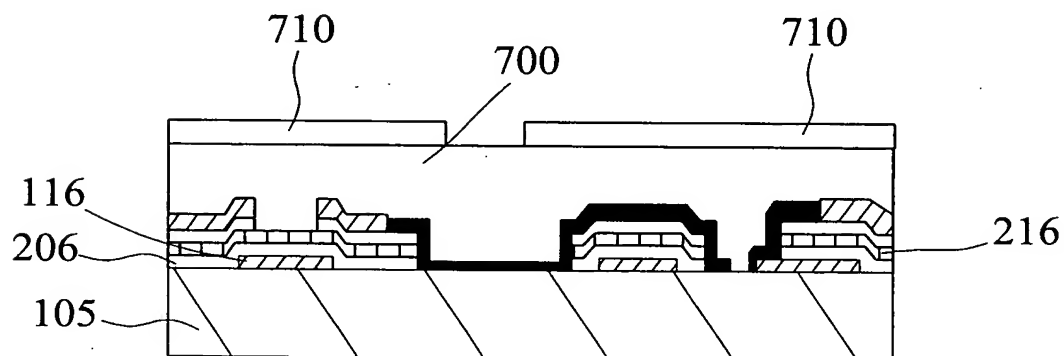
第一H圖



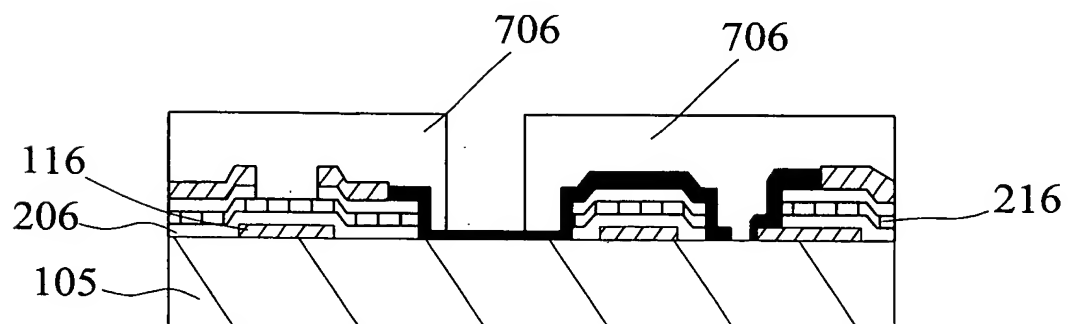
第一I圖



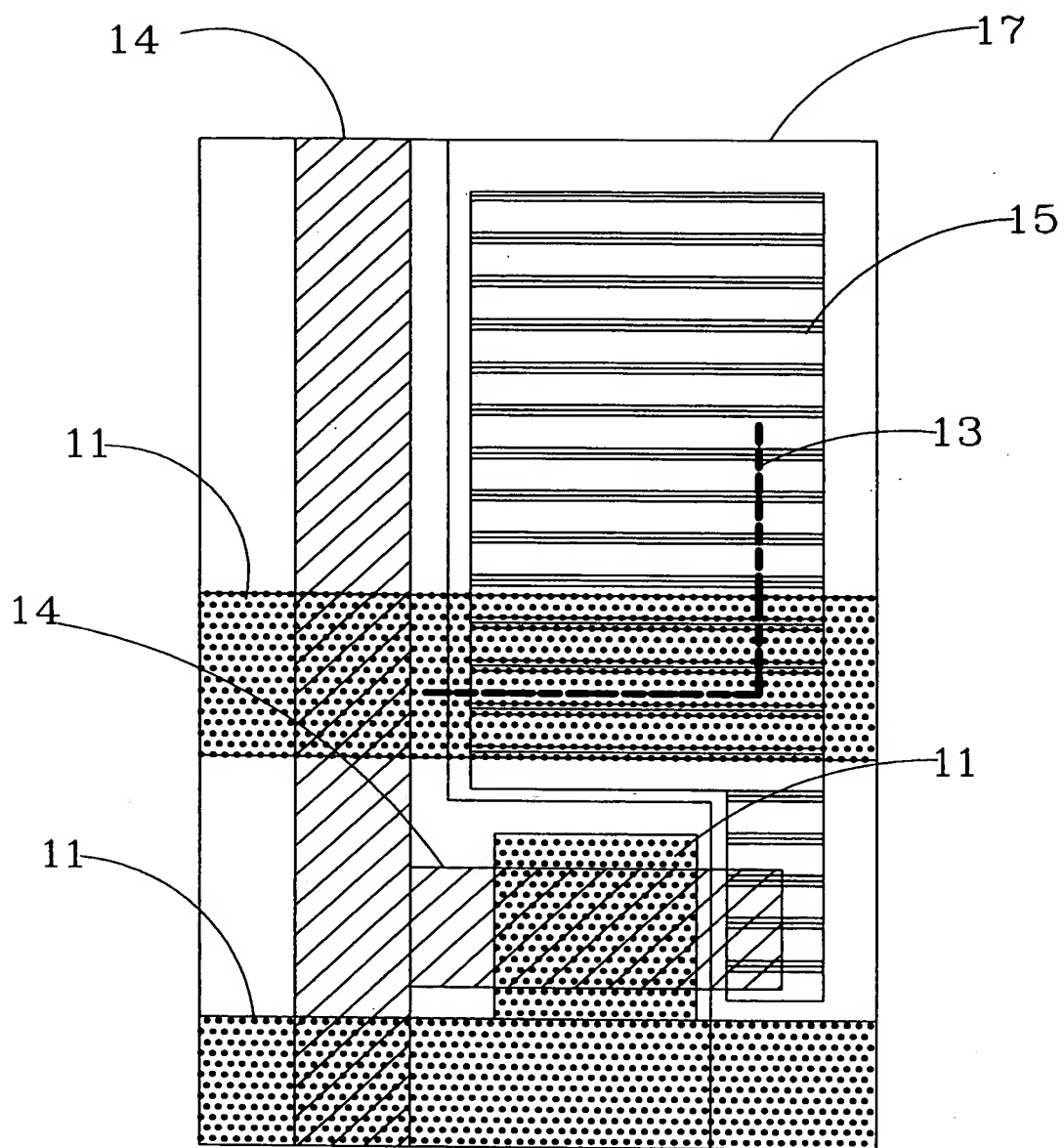
第一J圖



第一K圖



第一L圖



第 二 圖